

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07078938

(43)Date of publication of application: 20.03.1995

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number: 05224378

(71)Applicant:

SONY CORP

(22)Date of filing: 09.09.1993

(72)Inventor:

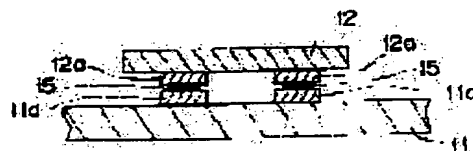
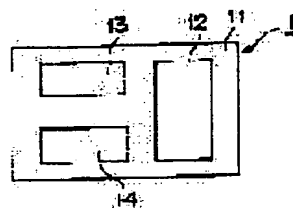
NODA MASANORI

(54) COMPOSITE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To integrate semiconductor devices on one chip, actually allow downsizing and high-integration, remarkably reduce the manufacturing cost compared with the conventional composite semiconductor devices and improve the reliability and the yield of products.

CONSTITUTION: A composite semiconductor device is composed of the following semiconductor devices: a logic circuit 11, a CPU 12, DRAM 13 and a flash memory 14. On the function plane 11a of the logic circuit 11 which has the largest function plane, the function planes of other semiconductor devices, the CPU 12, the DRAM 13 and the flash memory 14, are laminated by using solder so as to connect wires and composite the devices as one chip.



LEGAL STATUS

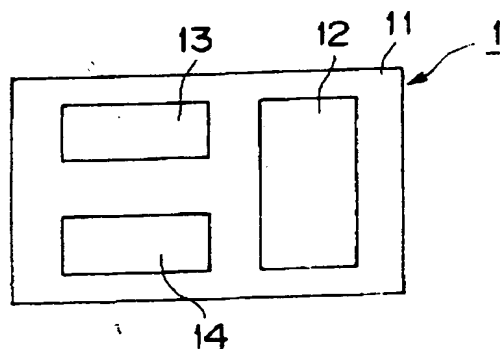
[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of
 rejection]
 [Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX



【特許請求の範囲】

【請求項 1】 少なくとも 2 つ以上の異なる属性を有する複数の半導体装置が、ベアチップのまま貼り合わせられ、配線が接続されて成ることを特徴とする複合半導体装置。

【請求項 2】 上記属性が回路機能であることを特徴とする請求項 1 記載の複合半導体装置。

【請求項 3】 上記属性が製造工程であることを特徴とする請求項 1 記載の複合半導体装置。

【請求項 4】 上記属性が構造であることを特徴とする請求項 1 記載の複合半導体装置。

【請求項 5】 上記複数のベアチップの半導体装置のうち、最大の大きさを有する半導体装置の機能面上に該半導体装置と同じ大きさ、またはより小さな大きさの半導体装置が少なくとも 1 つ以上貼り合わせられて成ることを特徴とする請求項 1, 2, 3 又は 4 記載の複合半導体装置。

【請求項 6】 上記最大の大きさを有する半導体装置の機能面と他の各半導体装置の機能面とが相対向して貼り合わせられて成ることを特徴とする請求項 1, 2, 3, 4 又は 5 記載の複合半導体装置。

【請求項 7】 上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に配線接続部が設けられ、該配線接続部同士が電気的に接続されて成ることを特徴とする請求項 5 又は 6 記載の複合半導体装置。

【請求項 8】 上記複数のベアチップの半導体装置のうち、上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とが相対向して貼り合わせられて成ることを特徴とする請求項 1, 2, 3, 4 又は 5 記載の複合半導体装置。

【請求項 9】 上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とが相対向して貼り合わせられた後に、上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に各々設けられた配線接続部同士が電気的に接続されて成ることを特徴とする請求項 8 記載の複合半導体装置。

【請求項 10】 少なくとも 2 つ以上の異なる属性を有する複数のベアチップの半導体装置のうち、最大の大きさを有する半導体装置の機能面上に該半導体装置と同じ大きさ、またはより小さな大きさの半導体装置を少なくとも 1 つ以上貼り合わせて形成することを特徴とする複合半導体装置の製造方法。

【請求項 11】 上記最大の大きさを有する半導体装置の機能面と他の各半導体装置の機能面とを相対向して貼り合わせて形成することを特徴とする請求項 10 記載の複合半導体装置の製造方法。

【請求項 12】 上記複数のベアチップの半導体装置のうち、上記最大の大きさを有する半導体装置の機能面と

上記他の各半導体装置の非機能面とを相対向して貼り合わせて形成することを特徴とする請求項 10 記載の複合半導体装置の製造方法。

【請求項 13】 上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に各々配線接続部を設け、該配線接続部同士をハンダバンプ法により電気的に接続して形成することを特徴とする請求項 10 又は 11 記載の複合半導体装置の製造方法。

【請求項 14】 上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とを相対向して貼り合わせた後に、上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に各々設けられた配線接続部同士をワイヤボンディング法により電気的に接続して形成することを特徴とする請求項 10 又は 12 記載の複合半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のベアチップの半導体装置を配線基板等に搭載してなる複合半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、様々な電子機器のセットの高機能化及び小型化が進行する中で、その対応策として、回路基板の高集積実装化が要求されている。

【0003】このことに対応して、回路基板に実装される半導体装置にも機能の集積化及び複合化が要求されている。現在、例えば、マイコン、メモリ、ロジック等の複数の半導体装置を回路基板上で組み合わせることにより実現されていた機能を 1 つの半導体装置で実現すること（いわゆるシステム・オン・シリコン化）が望まれている。

【0004】従来の、複数の半導体装置を各々独立に回路基板に実装した複合半導体装置の一例としては、図 7 に示すように、プリント基板 111 と、このプリント基板 111 に実装される半導体装置である論理回路 112, CPU 113, DRAM 114, 及びフラッシュメモリ 115 から構成されている複合半導体装置 101 がある。

【0005】更に、システム・オン・シリコン化の要求に対応したものとして、上記各半導体装置 112~115 を 1 チップ上に集積してこれらの機能を統合化すると、図 8 に示すような複合半導体装置 102 が実現される。

【0006】

【発明が解決しようとする課題】しかしながら、上記各半導体装置 112~115 は、構造及び製造方法がそれぞれ大きく異なるために、これらの機能を統合して 1 チップ化を実現した複合半導体装置 102 は、構造及び製造方法についても統合化せざるを得ない。その結果として、上記各半導体装置 112~115 のうちの 1 つにと

って必要な機能を実現するための製造工程が、他の各半導体装置にとっては不必要である場合があるが、複数の機能を統合して1チップ化するためには、他の各半導体装置についてもこれらの製造工程が必要となる。即ち、複合半導体装置102を作製する際には、最も製造工程数の多い半導体装置の製造工程が必要となる。従って、複数半導体装置101のように複数のチップを各々独立に用いる場合と比較して、大幅な製造コストの増大を招くという問題がある。

*

| | ロジック回路 | CPU | DRAM | フラッシュ |
|-------|--------|-----|------|-------|
| Tr種類 | 2 | 4 | 2 | 6 |
| Poly層 | 1 | 1 | 5 | 2 |
| Al層 | 4 | 2 | 2 | 1 |
| 面積 | a | b | c | d |
| 製造工程 | 100 | 140 | 150 | 170 |

※20※【表2】

| | 複合半導体装置102 |
|-------|------------|
| Tr種類 | ≥6 |
| Poly層 | ≥5 |
| Al層 | ≥4 |
| 面積 | ~a+b+c+d |
| 製造工程 | ≥170 |

【0010】なお、表1及び表2において、Tr種類は、バイポーラ・トランジスタ（NPN型やPNP型）、電界効果型トランジスタ（MOSFET等）等のトランジスタの種別数を示す。

【0011】上述の複数半導体装置101及び複合半導体装置102の製造コストを決定する主要素のうち、★

$$T1 = Y \times (100a + 140b + 150c + 170d) \quad \dots (1)$$

【0013】となる。また、複合半導体装置102のトータルコストT2は、☆

$$T2 = Y \times 170 (a + b + c + d) \quad \dots (2)$$

【0015】と大きな値となる。しかも、実際には半導体装置の複合化、高集積化に伴うコストが加わるので、複合半導体装置102のトータルコストT2は、(2)式で示す値以上のものとなる。従って、T2-T1より、複合半導体装置102の製造コストは複数半導体装置101のそれと比較して、(70a+30b+20c)以上増大する。

【0016】このように、各半導体装置を1チップ上に集積してこれらの機能を統合化した従来の複合半導体装置は、該各半導体装置を各々独立に回路基板に実装した

★【0007】ここで、複数半導体装置101及び複合半導体装置102の構成要素である上記各半導体装置112~115において、製造コストを決定する主要素である、各々の装置に組み込まれているトランジスタの種別数、Poly-Si層の数、Al層の数、機能面（半導体素子が形成されている面）の面積、及び製造工程数についての比較を表1及び表2に示す。

【0008】

【表1】

★最も重要なものは機能面の面積及び製造工程数である。

従って、この2つの要素を用いて複数半導体装置101及び複合半導体装置102の製造コストを見積ると、機能面の単位面積当りの製造コストをYとして、複数半導体装置101のトータルコストT1は、

【0012】

☆【0014】

複数半導体装置と比較すると、小型化且つ高集積化（全体の面積~a+b+c+d）されているという利点に対して、製造コストが大幅に増大するという深刻な欠点を有するという問題がある。

【0017】本発明は、上述の課題に鑑みてなされたものであり、その目的とするところは、各半導体装置を1チップ上に集積してこれらを統合化し、実質的な小型化・高集積化を図ることが可能となり、しかも従来の複合半導体装置と比較して大幅な製造コストの削減が実現でき、製品の品質の信頼性、及びその歩留りを大幅に向上

させることが可能となる複合半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】本発明は、少なくとも2つ以上の異なる属性を有する複数の半導体装置を、ベアチップのまま貼り合わせ、配線を接続して構成する。

【0019】この場合、上記属性とは回路機能、製造工程、又は構造のことである。

【0020】また、上記複数のベアチップの半導体装置のうち、最大の大きさを有する半導体装置の機能面上に該ベアチップと同じ大きさ、またはより小さな大きさの半導体装置を少なくとも1つ以上貼り合わせて構成してもよい。

【0021】この場合、上記最大の大きさを有する半導体装置の機能面と他の各半導体装置の機能面とを相対向して貼り合わせて構成してもよい。

【0022】更にこの場合、上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に配線接続部を設け、該配線接続部同士を電気的に接続して構成してもよい。

【0023】また、上記複数のベアチップの半導体装置のうち、上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とを相対向して貼り合わせて構成してもよい。

【0024】この場合、上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とを相対向して貼り合わせた後に、上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に設けられた配線接続部同士を電気的に接続して構成してもよい。

【0025】また、本発明は、少なくとも2つ以上の異なる属性を有する複数のベアチップの半導体装置のうち、最大の大きさを有する半導体装置の機能面上に該半導体装置と同じ大きさ、またはより小さな大きさの半導体装置を少なくとも1つ以上貼り合わせて形成する。

【0026】この場合、上記最大の大きさを有する半導体装置の機能面と他の各半導体装置の機能面とを相対向して貼り合わせて形成してもよい。

【0027】また、この場合、上記複数のベアチップの半導体装置のうち、上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とを相対向して貼り合わせて形成してもよい。

【0028】更に、上記最大の大きさを有する半導体装置の機能面上及び上記他の各半導体装置の機能面上に配線接続部を設け、該配線接続部同士をハンダバンプ法により電気的に接続して形成してもよい。

【0029】また更に、上記最大の大きさを有する半導体装置の機能面と上記他の各半導体装置の非機能面とを相対向して貼り合わせた後に、上記ベアチップの機能面上及び他の上記ベアチップの機能面上に設けられた配線

接続部同士をワイヤボンディング法により電気的に接続して形成してもよい。

【0030】

【作用】本発明に係る複合半導体装置及びその製造方法においては、少なくとも2つ以上の異なる属性（回路機能、製造工程及び構造）を有する複数のベアチップの半導体装置のうち、最大の大きさを有する上記半導体装置の機能面上に該半導体装置と同じ大きさ、またはより小さな大きさの半導体装置を少なくとも1つ以上貼り合わせて作製するものであるため、上記属性の異なる複数の半導体装置を、そのうちの最大の大きさを有する上記半導体装置のスペースに実装した場合とほぼ等価の小型化及び高集積化が可能となる。

【0031】また、本発明に係る複合半導体装置及びその製造方法においては、回路基板上で上記属性の異なる複数の半導体装置を同時に作製して1チップ化すると異なり、これらの半導体装置を作製した後に貼り合わせて配線接続して1チップ化するので、上記半導体装置を作製する際の製造工程がそれぞれ独立している。従って、製造工程数がその最も多い半導体装置に依存して全製造工程数が増大するようなことがなく、製造工程数を最小限に抑えることが可能となる。

【0032】

【実施例】以下、本発明に係る複合半導体装置及びその製造方法の実施例を図1～図6を参照しながら説明する。

【0033】上記実施例に係る複合半導体装置1は、図1及び図2に示すように、上記表1に示す各特徴を有するベアチップである論理回路11、CPU12、DRAM13、及びフラッシュメモリ14の各半導体装置から構成されている。

【0034】上記実施例に係る複合半導体装置1の製造方法では、図3に示すように、上記各半導体装置11～14のうちで最も広い機能面（半導体素子が形成されている面）を有する論理回路11の機能面11a上に、他の各半導体装置であるCPU12、DRAM13、及びフラッシュメモリ14の機能面12a、13a、14a（図示の例ではCPU12の機能面12a）をハンダ15を用いて貼り合わせて配線接続し、複合化（1チップ化）して作製する。

【0035】この場合、上記配線接続の手段としては、いわゆるハンダバンプ法を用いる。即ち、先ず、図4に示すように、論理回路11の機能面11a上の配線接続部11bに形成されている金属多層膜のパッド11cに、ハンダ15をバンプ（金属突起）状に形成する。その後、図5に示すように、他の各半導体装置12～14を、その各機能面12a～14a上の各配線接続部12b～14bに形成されている金属多層膜の各パッド12c～14cに上記バンプ状のハンダ15に接触させるように載置し、この接触部近傍を加熱してハンダ15を溶

解させて固定する。なお、図中では上記半導体装置 12～14のうち、CPU 12のみを示す。

【0036】上述の如く作製された複合半導体装置 1 は、1チップ化された1つの半導体装置として、必要に応じてモールドパッケージ等に組み立てられるか、或はそのまま回路基板に実装接続される。

【0037】上記実施例に係る複合半導体装置及びその製造方法においては、上述の如く、属性（回路機能、製造工程及び構造）が各々相異なる複数のペアチップの半導体装置 11～14のうち、最大の大きさを有する論理回路 11の機能面 11a 上に該論理回路 11より小さな大きさを有する半導体装置 12～14の機能面 12a～14aを貼り合わせ配線接続して作製するものであるので、上記半導体装置 11～14を、そのうちの最大の大きさを有する論理回路 11の機能面 11aのスペースに実装した場合とほぼ等価の小型化及び高集積化が可能となる。

【0038】従って、複数の上記属性を有する半導体装置を統合して1チップ化する際に、それらの実装面積を大幅に縮小することが可能となる。

【0039】また、上記実施例に係る複合半導体装置及びその製造方法においては、回路基板上で上記属性の異なる複数の半導体装置を同時に作製して1チップ化するので、各半導体装置 11～14を作製した後に貼り合わせて配線接続して1チップ化するので、各半導体装置 11～14を作製する際の製造工程がそれぞれ独立している。従って、製造工程数がその最も多いフラッシュメモリ 14に依存して全製造工程数が増大することがなく、製造工程数を最小限に抑えることが可能となる。

【0040】従って、回路基板上で上記各半導体装置 11～14を組み合わせる場合と同等の製造コストで1チップ化が可能となることになる。

【0041】次に、上記実施例の変形例を、図6を参照しながら説明する。なお、図1～図4と対応するものについては同符号を記す。

【0042】この変形例は、上記実施例とほぼ同様の構成を有するが、図6に示すように、論理回路 11に他の半導体装置 12～14を貼り合わせる際に、論理回路 11の機能面 11a 上に他の半導体装置 12～14の非機能面 12d～14dを貼り合わせた後、論理回路 11の配線接続部 11bと他の半導体装置 12～14の配線接続部 12b～14bとを、いわゆるワイヤボンディング法を用いて配線接続する点で異なる。

【0043】即ち、先ず論理回路 11の機能面 11a 上に他の半導体装置 12～14の非機能面 12d～14dを接着剤を用いて貼り合わせる。その後、論理回路 11の配線接続部 11bと他の半導体装置 12～14の配線接続部 12b～14bとを、導伝率の高い金または銅を材料とする導線 16をハンダ付けすることで配線接続す

る。なお、図中では上記半導体装置 12～14のうち、CPU 12のみを示す。

【0044】上記変形例に係る複合半導体装置及びその製造方法においては、上述の如く、属性（回路機能、製造工程及び構造）が各々相異なる複数のペアチップの半導体装置 11～14のうち、最大の大きさを有する論理回路 11の機能面 11a 上に該論理回路 11より小さな大きさを有する半導体装置 12～14の非機能面 12d～14dを貼り合わせ配線接続して作製するものであるので、上記半導体装置 11～14を、そのうちの最大の大きさを有する論理回路 11の機能面 11aのスペースに実装した場合とほぼ等価の小型化及び高集積化が可能となる。

【0045】従って、上記実施例と同様に、複数の上記属性を有する半導体装置を統合して1チップ化する際に、それらの実装面積を大幅に縮小することが可能となる。

【0046】また、上記変形例に係る複合半導体装置及びその製造方法においては、回路基板上で上記属性の異なる複数の半導体装置を同時に作製して1チップ化するので、各半導体装置 11～14を作製した後に貼り合わせて配線接続して1チップ化するので、各半導体装置 11～14を作製する際の製造工程がそれぞれ独立している。従って、製造工程数がその最も多いフラッシュメモリ 14に依存して全製造工程数が増大することがなく、製造工程数を最小限に抑えることが可能となる。

【0047】従って、上記実施例と同様に、回路基板上で上記各半導体装置 11～14を組み合わせる場合と同等の製造コストで1チップ化が可能となることになる。

【0048】なお、本発明に係る複合半導体装置及びその製造方法は、上記実施例及びその変形例に限定されるものではなく、属性（機能、製造工程及び構造）の異なる様々な半導体装置を適用することが可能である。

【0049】

【発明の効果】本発明に係る複合半導体装置によれば、少なくとも2つ以上の異なる属性（機能、製造工程及び構造）を有する複数の半導体装置を、ペアチップのまま貼り合わせ、配線を接続して構成したので、各半導体装置を1チップ上に集積してこれらを統合化し、実質的な小型化・高集積化を図ることが可能となり、しかも従来の複合半導体装置と比較して大幅な製造コストの削減が実現でき、製品の品質の信頼性、及びその歩留りを大幅に向上させることが可能となる。

【0050】本発明に係る複合半導体装置の製造方法によれば、少なくとも2つ以上の異なる属性を有する複数のペアチップの半導体装置のうち、最大の大きさを有する上記半導体装置の機能面上に該半導体装置と同じ大きさ、またはより小さな大きさの半導体装置を少なくとも

9

1つ以上貼り合わせて形成するので、各半導体装置を1チップ上に集積してこれらを統合化し、実質的な小型化・高集積化を図ることが可能となり、しかも従来の複合半導体装置と比較して大幅な製造コストの削減が実現でき、製品の品質の信頼性、及びその歩留りを大幅に向上させることが可能となる。

【図面の簡単な説明】

【図1】本実施例に係る複合半導体装置を模式的に示す平面図である。

【図2】上記実施例に係る複合半導体装置を模式的に示す断面図である。

【図3】上記実施例に係る複合半導体装置の配線接続の様子を模式的に示す断面図である。

【図4】上記実施例に係る複合半導体装置の構成要素である論理回路の配線接続部を模式的に示す断面図である。

【図5】上記実施例に係る複合半導体装置の構成要素である論理回路及びCPUの各配線接続部をハンダバンプ法を用いて接続する様子を模式的に示す断面図である。

10

【図6】上記実施例に係る複合半導体装置の構成要素である論理回路及びCPUの各配線接続部をワイヤボンディング法を用いて接続する様子を模式的に示す断面図である。

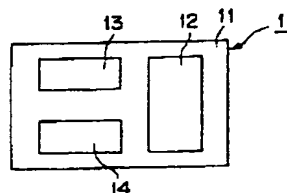
【図7】従来例に係る、複数の半導体装置を回路基板に各々独立に実装した複合半導体装置模式的に示す平面図である。

【図8】従来例に係る、複数の半導体装置を1チップ上に集積して統合化した複合半導体装置模式的に示す平面図である。

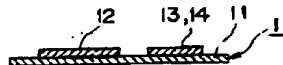
【符号の説明】

- 1・・・複合半導体装置
- 11・・・論理回路
- 12・・・CPU
- 13・・・DRAM
- 14・・・フラッシュメモリ
- 15・・・ハンダ
- 16・・・導線

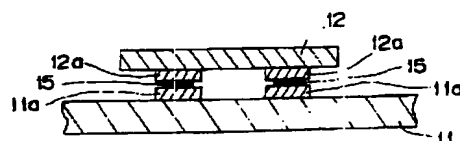
【図1】



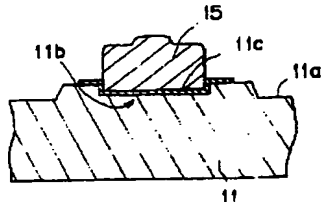
【図2】



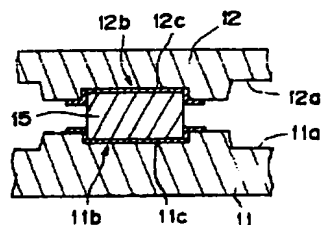
【図3】



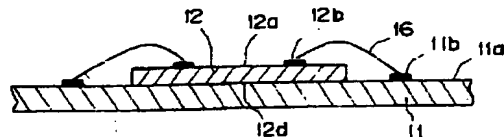
【図4】



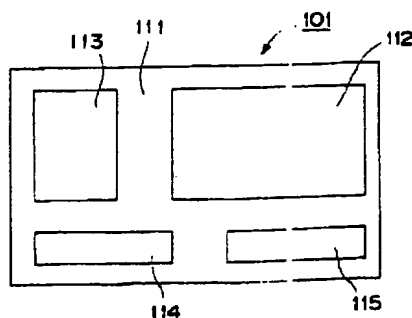
【図5】



【図6】



【図7】



【図8】

